

## PULSE DC SPUTTERING METHOD AND DC PLASMA APPARATUS USED THEREFOR

**Patent number:** JP9137271  
**Publication date:** 1997-05-27  
**Inventor:** SELLERS JEFF C (US)  
**Applicant:** ENI INC (US)  
**Classification:**  
 - international: C23C14/34; C23C14/38; C23C14/54; H01F41/18; H01L21/203  
 - european:  
**Application number:** JP19960189981 19960701  
**Priority number(s):** US19950545916 19951020

Also published as:

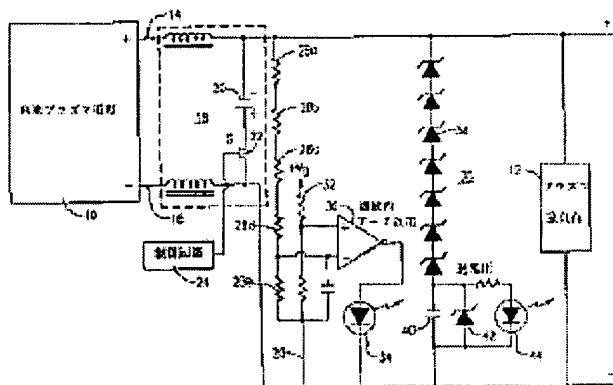


US5584974 (A1)  
 GB2306511 (A)  
 DE19623654 (A1)

Abstract not available for JP9137271

Abstract of correspondent: **US5584974**

A dc sputtering process applies a pulsating dc voltage in which each cycle includes a pulse portion of negative dc voltage of -300 to -700 volts alternating with a reverse bias (positive) pulse of about +50 to +300 volts. The reverse bias pulse portion will reduce or eliminate sources for arcing in most cases. To combat sticky or persistent arcing, the negative pulse portion is monitored. If, during a window portion of the negative pulse portion, the applied voltage drops into a range characteristic of arcing for two successive cycles, then the applied power is interrupted for a period, e.g., 200 microseconds, and reverse bias is applied. An overvoltage detection and clamping circuit monitors the applied voltage for extreme voltage excursions, and if an overvoltage threshold is exceeded for two successive cycles, the applied power is interrupted. The overvoltage detection and clamping circuit can comprise a string of zener diodes or equivalent voltage limiting devices connected to the applied voltage. This circuit absorbs the voltage excursions beyond the threshold and protects the power supply and the substrate in the plasma chamber.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-137271

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
C 2 3 C	14/34		C 2 3 C 14/34	U
	14/38		14/38	
	14/54		14/54	A
H 0 1 F	41/18		H 0 1 F 41/18	
H 0 1 L	21/203		H 0 1 L 21/203	S

審査請求 未請求 請求項の数9 FD (全10頁)

(21)出願番号 特願平8-189981

(22)出願日 平成8年(1996)7月1日

(31)優先権主張番号 08/545, 916

(32)優先日 1995年10月20日

(33)優先権主張国 米国 (U S)

(71)出願人 596062048

イー. エヌ. アイ. -ア. ディビジョン.  
オブ. アステック. アメリカ. インコーポ  
レイテッドアメリカ合衆国. 14623. ニューヨーク州.  
ロチェスター. ハイパワー. ロード. 100

(72)発明者 ジェフ. シー. セラーズ

アメリカ合衆国. ニューヨーク州. 14522.  
パルミラ. ウォーカー. ロード. 1748

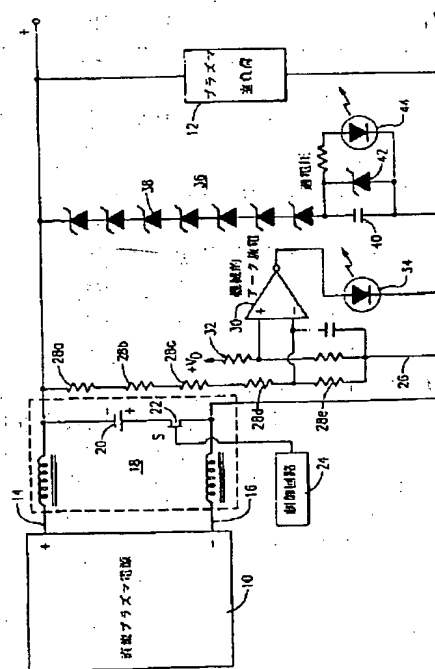
(74)代理人 弁理士 押田 良久

(54)【発明の名称】 パルス直流スパッタリング方法およびこれに用いる直流プラズマ装置

(57)【要約】 (修正有)

【課題】 アーク放電と過電圧を検出し、従来タイプの諸問題を解決すべく、スパッタリングとその他のプラズマ室の動作を改良強化することである。

【解決手段】 直流スパッタリング方法はパルス直流電圧に適用され、パルス直流電圧では、各々のサイクルが、約+50から+300ボルトの逆転バイアス(正)パルスと交互に起こる-300から-700ボルトの負の直流電圧のパルス部分を含む。逆バイアス・パルスは多くの場合、アーク放電源を減少あるいは消滅する。保留アーク放電あるいは継続するアーク放電対策として、負のパルス部がモニターされる。負のパルス部のウインド部の間、機械的アーク放電検出器30が、印加電圧が連続した2つのサイクルでアーク放電発生に特徴的な範囲まで落ちることを検出すると、前記電源は、例えば200マイクロ秒の間遮断され、逆バイアスが印加される。



1

## 【特許請求の範囲】

【請求項 1】 ターゲット材をプラズマ室内の導電性ターゲットからスパッタリングし、スパッタリングされた材料をプラズマ室中の基板上に蒸着し、前記プラズマ室内において、室内のターゲットと陽極間に印加された直流電圧を、ターゲット材の原子をスパッタリングするよう前記プラズマ室内に存在する貴ガスのイオンをターゲットに衝突させ、各サイクルが負を含む所定のパルス繰返数をもつパルス波形を印加電圧に持たせ、陽極と所定の第 1 のパルス幅に関して負のレベルで、かつ陽極と第 2 のパルス幅に関して正の逆電圧レベルで電圧部を前進させる直流スパッタリング方法において、ターゲットと陽極の間に印加された電圧を過電圧に対して自動的にをモニターし、印加電圧が所定の複数の連続するサイクルで負の電圧部の間で負の過電圧閾値を越えた場合には、自動的に印加直流電圧を遮断し、ターゲットと陽極間に印加された電圧を、前記の各負のパルス部間の所定のウインド・インターバルでアークの有無のためにモニターし、印加電圧が所定の連続する複数のサイクルを越えてウインド・インターバル内でアーク放電する電圧特性の範囲の中にある場合、自動的に印加直流電圧を遮断することを特徴とするパルス直流スパッタリング方法。

【請求項 2】 過電圧に対して印加された電圧をモニターする工程が、前記印加電圧が閾値に達するかこれを越えると、前記過電圧閾値で印加電圧をクランプすることを含むことを特徴とする請求項 1 記載のパルス直流スパッタリング方法。

【請求項 3】 過電圧に対して印加電圧を検知する工程において、所定の複数のサイクルが連続する 2 つのサイクルであることを特徴とする請求項 1 あるいは 2 記載の 30 パルス直流スパッタリング方法。

【請求項 4】 アーク放電に対して印加電圧を検知する工程のために、所定の複数のサイクルが連続する 2 つのサイクルであることを特徴とする請求項 1、2 あるいは 3 に記載のパルス直流スパッタリング方法。

【請求項 5】 プラズマ室が陽極、基板、ターゲットを收容し、ターゲット材が前記ターゲットからスパッタリングされ基板上に蒸着され、パルス直流電源 (10) は基板上にターゲット材が蒸着されるよう、ターゲットからターゲット材を放散するに十分なエネルギーによってターゲットに前記プラズマ室中に貴ガスのイオンを衝突させる所定のレベルで印加負電圧を前記ターゲットに供給し、所定のパルス時間間隔のパルス・インターバル間所定のレベルでターゲットに負の電圧を印加し、負の電圧の発生中の陽極に関してターゲットに正の電圧パルス 40 を印加して、隣接する負と正の電圧のパルスが所定のパルス繰返数を持つサイクルを限定するように周期的な逆バイアス回路 (18、24) を含む直流スパッタリング用直流プラズマ装置において、過電圧保護装置 (36) がターゲットと陽極間に印加された電圧をモニターし、 50

2

印加された電圧が連続する所定の複数のサイクルを越えて負の電圧部の間で所定の過電圧閾値を越えると、自動的に直流電圧を遮断し、アーク消滅装置 (26、28、30、32、34) は各々の負のパルス部の間で所定のウインド・インターバルにおいてアーク放電のためにターゲットと陽極間の印加電圧をモニターし、印加電圧が連続する所定の複数のサイクルを越えてウインド・インターバルの中でアーク放電する電圧特性の範囲内にあると、前記アーク放電消滅装置は自動的に直流電圧を遮断し、さらに延長された期間中ターゲットに逆バイアス電圧をかけることを特徴とする直流スパッタリング用直流プラズマ装置。

【請求項 6】 前記過電圧保護装置が、印加電圧が閾値に達するかそれを越えた場合には、過電圧閾値において印加電圧をクランプするためのクランプ回路 (42) を含むことを特徴とする請求項 5 に記載の直流プラズマ装置。

【請求項 7】 前記過電圧保護装置が、パルス直流電源の出力端子間に接続された一連のスタックのゼナー・ダイオード (38) を含むことを特徴とする請求項 6 に記載の直流プラズマ装置。

【請求項 8】 前記過電圧保護装置が、ゼナー・ダイオード (38) のスタック間で結合されるオプト・トランスミッター (44)、電流シンク、前記トランスミッター (44) に光学的に接続されたオプト・レシーバー (76)、そして、オプト・レシーバーが連続複数のサイクルに対して過電圧を指示する時に、直流電源を遮断するために前記オプト・レシーバーにより起動される回路装置 (78、80) を含むことを特徴とする請求項 6 または 7 に記載の直流プラズマ装置。

【請求項 9】 前記アーク放電消滅装置が、直流電源の出力と基準電圧源 (32) に接続される出力と入力を持つ電圧コンパレータ (30)、前記コンパレータの出力で駆動されるオプト・トランスミッター (34)、トランスミッターに光学的に接続されるオプト・レシーバー (66)、各々のサイクルの負のパルス部の所定のウインド・インターバルの間でウインド信号を発生するためのウインド・タイマー (72)、前記オプト・レシーバーとウインド・タイマー (72) に接続され、特徴的な電圧が所定の複数のサイクルに対するウインド・インターバルの間で、存在するか否かを検出するためのロジック回路 (68-74)、特徴的な電圧が所定の複数のサイクルに対するウインド・インターバルの間で、存在する時は、直流電源を遮断するためのロジック回路 (68-74) に接続された遮断装置 (60、62) を含むことを特徴とする請求項 5 から 8 のいずれか 1 項に記載の直流プラズマ装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜の蒸着に関

3

し、詳細には、基板上に蒸着されるコーティングを形成するために、ターゲット材の原子が電導性ターゲットから放散される反応性スパッタリング方法に関するものである。この方法は、例えば反応性スパッタリング方法において、電子部品上に誘電体絶縁層を形成したり、機械部品上に耐摩耗性の層を形成する時に、利用される。

【0002】本発明は、さらに詳細には、導電性ターゲット上に滞留することになる誘電体コーティング材を除去するので、結果としてアーク放電の主たる原因を回避できるような改良された直流スパッタリング方法に関するものである。

【0003】

【従来の技術】直流スパッタリングに関係する反応性スパッタリングとそれに関わる諸問題は、ヨーロッパ特許出願第EP 0 692 550 A1号に詳細に記載されている。

【0004】スパッタリングは、真空蒸着方法であり、この方法において、スパッタリング・ターゲットはイオン、特にイオン化された貴ガスにより、衝撃が与えられ、ターゲット材の原子は、機械的に惰性移送により放散される。従って、ターゲット材は、隣接する基板上に蒸着される。

【0005】反応性スパッタリング方法において、反応性ガスは蒸着室に導入され、放散されたターゲット材がコーティング材を形成すべく反応性ガスと反応する。例えば、ターゲット材がアルミニウムであり、酸素が反応性ガスとして導入して、酸化アルミニウムのコーティングを形成する。例えば、アセチレンのような炭素質ガスがSiCあるいはWCのような炭化物コーティングを形成するために、反応性ガスとして使用されるし、窒素ガスは、TiNのような窒化物コーティングを生成するために、導入される。いずれにしても、導電性のターゲット材の原子と反応性ガスが反応室の中でプラズマ状態で反応して、コーティングとして働く化合物を形成する。代表的な例として、アルミニウム・ターゲット材から放散されたアルミニウム原子が、アルゴンと酸素のプラズマの中に導入され、酸化アルミニウムの蒸着を形成する。

【0006】直流スパッタリングは、ランダム方法であり、絶縁コーティング材はすべての表面上に蒸着される。この意味するところは、絶縁材が問題となる部分を蒸着するばかりのみならず、ターゲットを含む反応室中のすべての表面をも蒸着してしまうことである。従って、酸化アルミニウムを蒸着するための反応性スパッタリング方法において、 $Al_2O_3$ （酸化アルミニウム）の分子がアルミニウム・ターゲットの表面に位置する。ターゲットの上にかかる絶縁性物質が蒸着されることは、スパッタリング速度の低下あるいはアーク放電発生の傾向といった厳しい問題を引き起こす。

【0007】雰囲気ガス、水滴、不純物あるいは他の汚

4

れにより、従来型の直流スパッタリングにおいてさえも、ターゲットの汚れは発生する。これらの各々はアーク放電の原因となり、またターゲット上での有効スパッタリング面積の減少から、これらの汚れの存在は蒸着速度をも遅くさせる。従って、これらの問題があるがゆえに、ターゲット表面をしばしば清浄する必要がある。

【0008】上記の問題が発生することは、度々確認されてはいたが、その引き起こす問題については、十分な理解がなかった。反応性スパッタリングにおけるアーク放電の制御のような問題を処理する手順は完全には満足が得られていなかった。

【0009】標準的な方法は、アーク放電の存在を検出し、電流を遮断することである。これで、アーク放電は制御できるが、連続してターゲットを被覆する絶縁性のコーティングは、制御できない。

【0010】手探り的なアーク放電対策として取られた初期の方法は、直流電源と、スパッタリングが発生するプラズマ室との間の電流を周期的に遮断することであった。ここで、直流電源を切ることは、初期のアーク放電を遮断させる。つまり、一定のデューティ・サイクルにおける電源の単極パルスがターゲットに供給されたことを意味する。これは、ターゲット上の誘電体蒸着層を横切って部分的にだけ負荷が発生できるという利点があるので、アーク放電はあまり発生しないし、また蒸着の再スパッタリングの量も少ない結果となる。しかしながら、この方法では、ターゲット上の絶縁性蒸着の速度を落すことができても、蒸着の逆転はできない。

【0011】公知の他の方法は、低エネルギーで小パッケージのアーク放電抑制回路と呼ばれるものである。この方法では、電子スイッチがターゲットへの電流を切断するために、約2KHzの割合でサイクルする。これは、ターゲット上の電圧を効果的に数ボルトだけ正に逆転し、プラズマから絶縁性蒸着の前面間での数電子を引きつける。これで、層を横切る電圧のビルド・アップを放電するために、蒸着の前面上の陰イオンを中性化する。結果として、誘電破壊とアーク放電の発生が大幅に減少する。さらに、絶縁性層の前面の放電が表面電位を低下し、ほぼターゲットのそれと近似する。誘電蒸着の放電は、またプラズマ中のアルゴン・イオンを絶縁性誘電材と衝突させる。これで、蒸着された物質の分子の再スパッタリングを引き起こし、ターゲット上への蒸着速度を遅らせる。

【0012】しかし、この方法では、ターゲット材の原子と同様に、蒸着された化合物の分子を効果的に、再スパッタリングしない。また、この方法では、反応性スパッタリング方法の間で、ターゲットからの蒸着物の効果的な除去は全く不可能である。

【0013】異なる材料は、有効なスパッタリングを行うためにターゲットに印加される電圧を異にすることを要求する。例えば、金原子はアルミニウム原子に比較し

5

て重いので、ターゲットから放出するためには、より強力なイオンを要求する。代表的には、アルミニウムのターゲットを使用する場合には、 $-450$ ボルトの印加電圧を要するが、金のターゲットの場合には、同様の工程でも、約 $-700$ ボルトの印加電圧が必要である。

【0014】アルミニウム酸化物 ( $Al_2O_3$ ) 分子がアルミニウム原子よりもかなり重いことを考えると、高い電位が、コーティングを再スパッタリングするのに十分なアルゴン・イオンを活性化するのに必要であることが理解できる。これは、もちろん他の材料でも同様である。

【0015】上記の問題を解決する他の方法は、1つが陰極で他が陽極である、一対のスパッタリング・ターゲットを含む。印加される電気電圧は、周期的に逆転されるので、スパッタリングがまず1つのターゲットから発生し、その後他のターゲットから発生する。この方法は、また蒸着された絶縁性材上の電荷をも逆転するので、アーク放電の可能性を低減し、しかも絶縁性材の一部をターゲット上に再スパッタリングする。しかし、複数のターゲットを必要とするこの装置は、取扱が複雑であり、また高価でもある。更に、この装置は、切替時間が必要のため蒸着速度が遅くなる問題がある。

【0016】単極パルスあるいは交互にサイクルされるターゲットを利用するこれらの方法は、ターゲット上に再蒸着される絶縁薄膜の電圧応力のある程度効果的に減少するが、再蒸着を除去したり、防止するには、全く効果がない。上記のいずれの方法も、絶縁物が堆積する前に、工程の当初から絶縁物をスパッタリングにより除去し得ないし、高い蒸着速度を維持しながらの、ターゲット上の絶縁薄膜の再蒸着を消滅したり、遮断することに、効果的でない。

【0017】ヨーロッパ特許出願第EP 0 692 550 A1号で開示された方法において、反応性直流スパッタリングが、電位を導電性ターゲットに印加することにより、プラズマ室内で実施される。この結果、前記ターゲット材がターゲットからスパッタリングされ、室の中に導入される反応性ガスと反応する。例えば、 $-500$ ボルトの適切な直流電圧が、アースされるプラズマ室内の導電性表面を陽極とし、電源から陰極であるスパッタリング・ターゲットに印加される。反応室内に存在する、例えばアルゴンのような貴ガスがイオン化され、アルゴンの陰イオンと自由電子のプラズマを発生させる。電子は陽極に引き込まれ、正のアルゴン・イオンは陰極、つまり伝導性ターゲットの方に加速される。アルゴン・イオンは、慣性移送によりターゲットから放出されたターゲット材の原子をたたく。アルゴン・イオンは負に電荷されたターゲットからの電子を受け、プラズマに戻る。放散されたターゲット原子はプラズマに入り、プラズマ室に導入された反応性ガスと反応する。かかる反応性ガスは、例えば酸素、窒素、ボラン、アセチ

6

レン、アンモニア、シラン、ヒ素、あるいはその他のガスであり得る。反応生成物は、プラズマに隣接する基板の上に蒸着される。基板は、マスキングされた半導体ウエハーでよく、この上に $Al_2O_3$ あるいは $SiO_2$ のような化合物、あるいは他の絶縁物とか誘電体が蒸着される。ある方法では、基板は、WCあるいはTiNのような耐摩耗性のコーティングが蒸着されるドリル・ビット、摩耗板、弁スピンドル、あるいは他の機械部品であり得る。

【0018】非反応性スパッタリングは、後続する電気メッキを可能にさせるために、コンパクト・ディスク製造方法におけるマスター上に導電層を蒸着する目的で利用される。

【0019】上で説明したように、反応性スパッタリング方法の反応生成物は、ランダムに蒸着され、目的の部品表面のみならず、反応室の壁とかスパッタリングするターゲットをも含む他の表面をも被覆する。絶縁性被覆が堆積すると、アーク放電を起こしかねないし、スパッタリングするターゲットの有効面積を減少させる。結果として、スパッタリング速度の低下となる。

【0020】前記のヨーロッパ特許出願第0 692 550 A1号で開示された方法において、ターゲットに印加される直流電源は、陽極に対して正である直流電圧レベルの逆バイアス・パルスにより周期的に遮断される。好ましくは、逆バイアス・パルスはアース電位よりも $50$ から $300$ ボルト高いレベルであり、これらは $1 \sim 3$ マイクロ秒のパルス幅を持つ $40$  KHzから $250$  KHzのパルス周波数で印加される。このことは、低デューティー・サイクル・パルス (約 $10\%$ あるいはこれ以下) を生ずる。逆バイアスは絶縁材を横切つての電荷の逆転を生ずる。これらの堆積が、一方のプレートである導電性ターゲットと他方のプレートである導電性プラズマを有するキャパシターとして働く。逆電圧は、容量性電荷の極性が、蒸着のプラズマ側で $-300$ ボルトまで逆転されるまでに十分長い間 (例えば、 $2$ マイクロ秒) 印加される。

【0021】従って、標準あるいは負のスパッタリング電圧が再び印加されると、プラズマ中のアルゴン・イオンは逆電荷された誘電材の方に好ましくは加速される。これらのイオンは付加的な電位差のために増加されたエネルギーに加速される。結果として、蒸着の分子はターゲットから再びスパッタリングにより除去される。この方法は、またターゲットの有効スパッタリング表面積を可能な限り大きく保存してくれる。

【0022】この好ましいスパッタリング方法は、更に反応性スパッタリングあるいは従来のスパッタリングのいずれにも使用されるターゲット表面から、他の絶縁性汚れも清浄する。

【0023】

【発明が解決しようとする課題】上記のスパッタリング

7

法はパルス直流電源の場で好ましい結果を出せるものとしてごく一般的に使用されているが、この方法では解決できない諸問題が残る。例えば粒子やターゲット表面に対するアーク放電損傷は、機械アーク放電の原因となる。つまり、アーク放電の問題は、逆バイアスが印加されると、直ちにそれは解消できない。更に、例えばもしもプラズマを保持するには余りにも少ないガスしかない場合には、極端な電圧条件が存在する。多くの場合、アーク放電あるいは過電圧状態は印加されるパルス電圧の単一サイクルにおいてそれ自体解消される。しかし、逆転バイアス電圧がこの問題を解消しない場合は、被処理材、プラズマ・セル、あるいは電源のいずれかに対する損傷を防止するために、ある付加的な工程が取られる。残念ながら、現在存在する方法では、逆バイアスのパルス電源に関連する動作、および不変のアーク（保留アークあるいは多ストライク・アーク）もしくは過電圧状態を検出、反応できるまでには至っていない。

【0024】従って、本発明の目的は、アーク放電あるいは過電圧状態を検出し処理し、従来技術の持つ問題を解決するように、スパッタリングもしくはその他のプラズマ室動作を強化改善することである。

【0025】本発明の他の目的は、機械的なアーク放電と過電圧状態を検出し、自動的にかかる状態を終了する工程を取る条件下で、スパッタリング動作を実施することである。

【0026】機械的なアーク放電と過電圧を、プラズマ電源の損傷部分から防止することも本発明のその他の目的である。

【0027】

【課題を解決するための手段】本発明の第1の実施態様によると、パルス直流スパッタリング方法は、プラズマ室内で導電性ターゲットからターゲット材をスパッタリングすることで実施される。直流電圧はプラズマ室のターゲットと陽極の間に印加され、プラズマ室の中に存在する貴ガスイオンをターゲット上に衝突させる。貴ガスイオンはターゲット材の原子をスパッタリングにより除去する。直流電源は所定の繰返数でターゲットにパルス波形を印加する。前記パルス波形の各々のサイクルは、例えば-300から-700ボルトのような所定の負の電圧レベルと第1パルス幅において、かつ例えば+50から+300ボルトのように陽極に対する正の電圧レベルと第2のパルス幅において負電圧パルス部分を含む。

【0028】ゼナー・ダイオードのスタックあるいはストリングを含む過電圧検出回路は、印加される電圧が所定の負の電圧レベルを越えた時点を検出する。通常、過電圧状態は逆バイアス・パルスの作用で、1サイクルの間でそれ自体を解消する。しかしながら、もしも過電圧状態が引き続く2つのサイクルでも存在する場合は、電源が所定の時間間隔の間遮断される。ゼナー・ダイオードのストリングは、また電源中のスイッチング・トラン

8

ジスターを保護するために、電圧かかりすぎを最大レベルでクランプする。

【0029】印加された電圧はまた機械的アーク放電状態に対して連続してモニターする。これを実施するためには、印加電圧が各々のサイクルの負のパルス部分のパルス幅の約80%におけるウインドウ周期中に、呼掛けられる。代表的には、プラズマは数百ボルトの電圧降下を発生させるが、アーク放電が発生すると、電圧降下は、例えば数ボルトから20ボルトのように非常に少ない。従って、ウインドウ周期中、印加された電圧は、電圧がアーク放電の特徴である低い電圧範囲にあるか否かを決定するためにモニターされる。もしも低い電圧状態が引き続く2つのサイクルで存在した場合は、アーク放電を解消する目的で、数マイクロ秒から数ミリ秒の間中、直流電源が遮断される。

【0030】他の方法として、過電圧あるいはアーク放電が1サイクル、3サイクル、もしくはその他の数のサイクルで連続して存在する場合は、遮断動作が始動する。

【0031】

【発明の実施の形態】先ず第1図を参照すると、パルス直流スパッタリング装置は、直流電力をプラズマ室負荷12に供給するために直流プラズマ電源10を利用する。この種のプラズマ室は良く知られているタイプであり、同様のタイプが、例えばヨーロッパ特許出願第0692 550 A1号に開示されている。この例では、直流電源は、例えば300から700ボルトの間で選択される直流電圧の電力を供給する正端子14と負端子16を持つ。逆パルス発生器18は電源10に連絡し、図では、さらに逆バイアス源20、スイッチとして働くFET22、そしてスイッチFET22を起動する制御回路24を含む。この逆パルス発生器の動作は、上記ヨーロッパ特許出願に詳しく開示されている。

【0032】機械的アーク放電検出回路26は、アーク放電特有の電圧状態を検出するためにプラズマ室負荷12の入力に接続される。つまり、プラズマ状態では、プラズマを横切った電圧降下が数百ボルトのオーダーにまでなる。しかし、アーク放電状態はプラズマを横切った短絡回路として現われ、数ボルトから約100ボルトくらいに電圧降下となる。低い電圧状態を検出するには、回路は電圧分配器28としての働きをする抵抗器のストリング28a-28eを含み、電圧コンパレータ30の一方の入力に接続され、他の入力に電圧分配器である基準電圧源32に接続される。コンパレータ30の出力はLEDで代表されるオプト・トランスミッター装置34に与えられる。

【0033】プラズマ室負荷12の入力に接続される過電圧検出およびクランプ回路36は直列のゼナー・ダイオード38のストリングを含み、前記ストリングは、正の直流電源の一端に接続され、他端は、ここではLED

9

44として代表される過電圧オプト・トランスミッター、キャパシター20、保護電圧限定ゼナー・ダイオード42、そして抵抗器に接続される。ゼナー・ダイオード38は、逆転破壊電圧の合計が所定の過電圧の閾値に等しくなるように、選択される。他の電圧限界技術として、MOVのようなゼナー・ダイオードの利用もある。キャパシター40、ゼナー・ダイオード42とLED44は、著しい電圧変動のための電流シンクとして働く負の直流（-レール）に接続する。負荷12に対する入力における電圧がこの閾値を越える時はいつでも、電流がストリング38とLED44を介して流れ、過電圧状態の信号を出す。さらに、ゼナー・ダイオード・ストリング38は、電圧スパイクをこの過電圧閾値にクランプする。従って、パルサー18、電源10はもとよりプラズマ室と、コートされる基板をも保護する。

【0034】パルス直流電源用制御回路24は第2図により詳しく示されている。システム・クロック回路46は調整可能な電圧ランプ源あるいは発生器48、基準電圧源50、そして出力がクロック信号“SYS CLOCK”を発生するコンパレータ52を含む。ランプ発生器48からのランプ信号は、デューティ・サイクル・コンパレータ54の一方の入力に供給され、他方の入力は基準電圧分配器56に接続される。前記コンパレータ54の出力はパルス直流電源サイクルの正と負の部分のパルス幅を規制するパルス信号“DUTY CYCLE”を提供する。ランプ発生器48と基準電圧分配器56は、従来（アナログ）の部品で満足するものである。しかし、これらはデジタル化でき、ソフト・ウェアで調整可能である。パルス信号“SYS CLOCK”と“DUTY CYCLE”はスイッチ制御回路60もしくはパルサーの入力に与えられる。これで、電源制御回路62に印加されるパルス信号を発生し、例えば図3(A)で示したようなパルス直流電源の正と負のパルス部分を限定する。制御回路24は、制御されたゲート電圧をスイッチ・トランジスタ22（第1図）に印加する。

【0035】機械的アーク放電に応答する回路は第2図に示す。ここで、機械的アーク放電・レーシーバー66は、光学的にオプト・トランジスタ34に接続されるフォトセンサーを含む。実際、2つの素子が一体となって1つのオプト・アイソレータ装置としてパッケージされる。レーシーバー66の出力はアーク放電検出回路68の1つの入力に連絡する。タイミング・コンパレータ72は信号“RAMP”と基準レベルとともに与えられる。コンパレータ72は、パルス直流電源サイクルの負のパルス部分のあらかじめ所定の部分（例えば80%）が過ぎると、ゲート・ウインド・パルス“80% CLOCK”を出すようにバイアスされる。ゲート・ウインド・パルス“80% CLOCK”はアーク放電検出回路68の他の入力に供給される。アーク放電検出回路6

10

8の出力は、ゲート・ウインド発生の間、もしもプラズマ室負荷12の電圧に出現する印加された電圧が所定の負の閾値よりもより負の値を示した時には、高くなる。アーク放電検出出力はアーク放電・フォールト・カウンタ回路70に印加される。クロック信号“SYS CLOCK”は、カウンタ回路70のクロック入力に印加される。もしも、アーク放電検出出力が引き続く2つのサイクルで高い値を示した場合は、タイマー回路74に信号が流れる。後者は、アーク放電・フォールト・カウンタ70の出力が高い時に、起動される。また、これはスイッチ制御回路60と電源制御回路62に供給される禁止信号“SD”を発生する。この効果は、アーク放電が印加された電源の引き続く2つのサイクルの中で検出された場合には、例えば200マイクロ秒のような時間の間隔で、パルス直流電源を遮断することである。これは、図3(B)と図3(D)を参照すると、理解できる。

【0036】図3(B)に図示されたように、各々の負に向かうパルス部分に対する標準で安定状態では、印加された電圧は負へのゆきすぎを示した、その後引き続く次の逆バイアス（正）パルスまで上昇することを示す。この場合、負のパルス部分は常に、プラズマ状態では代表的な数百ボルトを越える。しかし、もしもアーク放電が発生するようなことになると、印加された電圧の負のパルス部分がより小さい間中は、電圧レベルが提示される。事実上、プラズマ室12の中のアーク放電の発生は低いインピーダンスあるいは短絡として動作し、室12を横切った電圧効果が小さくなる。

【0037】図3(D)と図3(E)を参照すると、機械的アーク放電検出回路34、レーシーバー66、およびロジックとタイミング回路68-74はゲート・ウインド・パルス“80% CLOCK”（図3(E)）の発生間印加された電源（図3(D)）をサンプルする。もしもこの時点での印加電圧がアーク放電に特徴的な範囲内にある、つまり閾値 $-V_{arc}$ よりもさらに負の値であると、オプト・トランスミッター34が点灯し、レーシーバー66と光学的に連通する。もしも、これが単一サイクルのみで発生する場合は、パルス直流電源は標準的に連続して流れる。多くの場合、逆転バイアス・パルスは問題をクリアし、プラズマ室へ印加電力を遮断する必要はない。これは図3(D)で図示された第2、第3のサイクルで表示される。もしも、アーク放電が単一期間でのみ発生するなら、アーク・フォールト・カウンタ70はリセットし、出力は低い値を維持する。閾値電圧、 $-V_{arc}$ は、例えば50ボルト、100ボルト、あるいは他の適切な値を取り得る。

【0038】しかし、図3(D)の第4と第5番目のサイクルで示されたように、もしもアーク放電が引き続く2つのサイクルでのパルス“80% CLOCK”の間で存在すると、アーク・フォールト・カウンタ70は高

11

いレベルを出力する。これで、タイマー回路74を起動し、制御回路60と供給制御回路62（例えば、第1図の24）を抑制する。この作動は、所定の期間（好ましくは、数百マイクロ秒）印加電源を効果的に遮断し、この期間で迅速にアーク放電を殺すための逆転バイアスを印加する。その後、標準パルス直流電源が回復し、プラズマ室に印加される。

【0039】本実施例では、2つのサイクルで連続してアーク放電が発生すると、直流電源が遮断される。好ましくは、1サイクル、連続3サイクル、5サイクルの内10の3サイクル、あるいは他の組み合わせにおいてアーク放電を必要とするような回路を構成することができる。

【0040】図2に戻ると、過電圧レシーバー76は、過電圧・トランスミッターLED44に光学的に接続される。レシーバー76の出力は過電圧フォールト・カウンタ回路78の1つの入力に接続され、クロック信号“SYS CLOCK”がそのクロック入力に印加される。過電圧フォールト・カウンタ78の出力は過電圧フォールト・タイマー回路80の入力に接続される。後者は、過電圧状態が印加される電源の連続する2つのサ20イクルで発生するときはいつも、スイッチ制御回路60（例えば図1の24）と制御回路62に遮断信号を与える。タイマー回路遮断信号は代表的に200マイクロ秒の時間間隔を持つ。本実施例では2つの連続して発生するクロック信号“SYS CLOCK”の各々の後で過電圧レシーバー76からの過電圧信号を受けると、過電圧フォールト・カウンタは上昇するが、他の状態下では低い値を維持する。

【0041】過電圧検出・保護装置の動作を、図3

(C)を参照して説明する。すでに説明したように、印30加される電圧の各サイクルに対する負の電圧パルス部分の始めにおいて、負の電圧かけすぎ領域が存在する。これは図3(C)の第1のサイクルで図示され、さらに同様なことが図3(B)で示される。動作状態と使用するプラズマ方法によるが、印加電圧は-50から-4000ボルトの範囲であり、許されるかけすぎ領域は、この範囲の大部分である。しかし、ある状態では、プラズマが停止するか異常に働き、プラズマ室負荷12は無限のインピーダンスを示す。これはリンギング状態を発生させる。この場合、図3(C)の第2と第3のサイクルで40示したように、前記の許容範囲を越えた電圧変動が発生する。この場合、ゼナー・ストリング38は千から数千ボルトのオーダーでの過電圧閾値 $V_{ov}$ を持つように選択される。負荷12を横切って現れる印加電圧がこの閾値 $V_{ov}$ を越えると、過電圧トランスミッター34が点灯し、過電圧レシーバー76は高いレベルを過電圧フォールト・カウンタ78に送る。もしも、過電圧状態がたった1つのサイクルで存在する場合は、制御回路60（図1の24）は引き続き正常にスイッチし、多くの場合、過電圧の問題はそれ自体で解決される。しかし、過50

12

電圧状態が連続して2つのサイクル間で発生する場合は、タイマー80が禁止コマンドSDをスイッチ制御回路60（図1の24）と供給制御回路62に送り、印加される電源は上で説明した所定の期間中遮断される。他の方法として、電源を処断し、この間逆転バイアスを印加する。再び本実施例では、過電圧状態が連続して2つのサイクルで発生すると、電源が遮断され、またパルサーもオフにされる。他の可能な実施例として、1サイクル、連続する3サイクル、5サイクル中の3サイクルとといったように他の組み合わせも取れる。

【0042】タイマー回路80により決定される遮断期間の後には、機械的アーク放電検出・保護装置において、制御回路24（例えば、図2の60）は正常な動作に回復し、過電圧変動を伴う連続した2つのサイクル、あるいはアーク放電を伴う連続した2つのサイクルの発生を待機する。

【0043】

【発明の効果】以上述べた通り本発明によると、スパッタリング方法において、基板に対するアーク放電損傷とスパッタリングされたコーティング内の粒子のようなアーク放電に伴う問題を防止できる。また本発明を利用すると、プラズマ室、電源、パルサー・ユニットへの損傷も防止し、また同じ装置で過電圧状態を検出し、装置を保護する目的で過電圧をクランプする。本発明の改良は多岐亘る発生で検出処理して、基板上へのコーティングの品質レベルを向上させる。

【図面の簡単な説明】

【図1】本発明による、機械的アーク放電と過電圧検出を伴ったスパッタリング電力供給の回路図である。

【図2】本実施例の、検出された機械的アーク放電と過電圧の状態での電力供給を遮断するための制御回路の回路図である。

【図3】本実施例の動作を説明する図で、(A)～(E)は各部の波形図である。

【符号の説明】

- 10 直流プラズマ電源
- 12 プラズマ室負荷
- 14 正端子
- 16 負端子
- 18 逆パルス発生器
- 20 逆バイアス源
- 22 FET
- 24 制御回路
- 26 機械的アーク放電検出回路
- 28 電圧分配器
- 28a-28e 抵抗器
- 30 電圧コンパレータ
- 32 基準電源
- 34 オプト・トランジスタ
- 36 過電圧検出ならびにクランプ回路



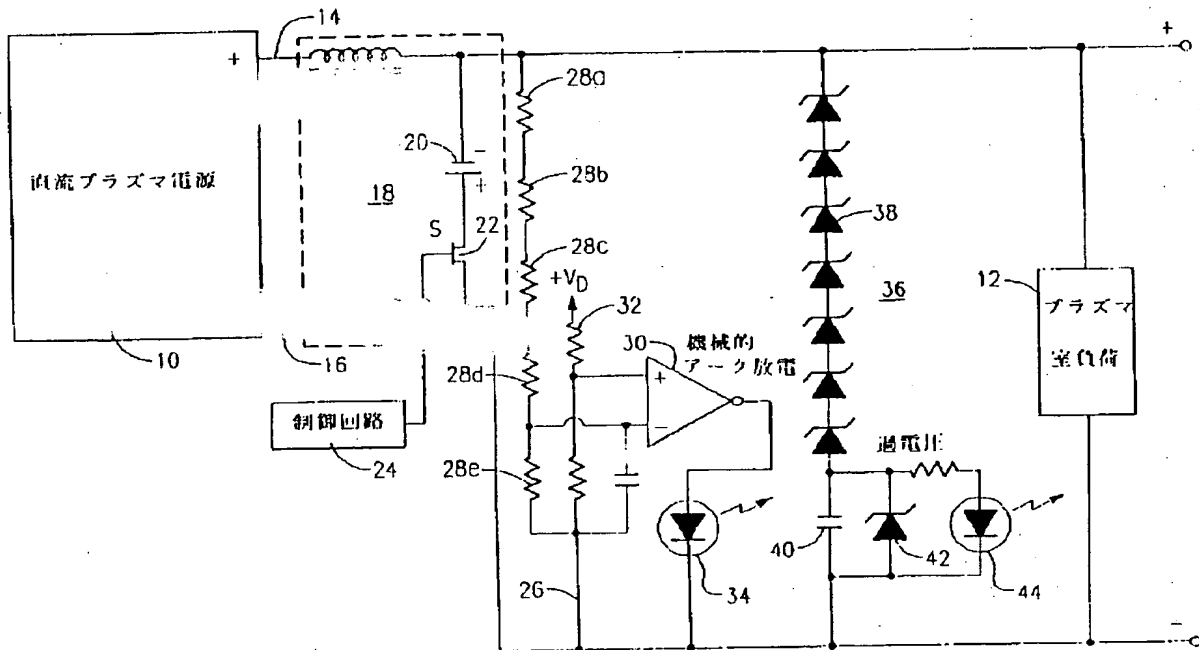
13

- 38 ゼナー・ダイオード
- 40 キャパシター
- 42 保護電圧限界ゼナー・ダイオード
- 44 LED
- 46 システム・クロック回路
- 48 可調整電圧ランプ発生器
- 50 標準電源
- 52 コンパレーター
- 54 デューティ・サイクル・コンパレーター
- 56 標準電圧分配器

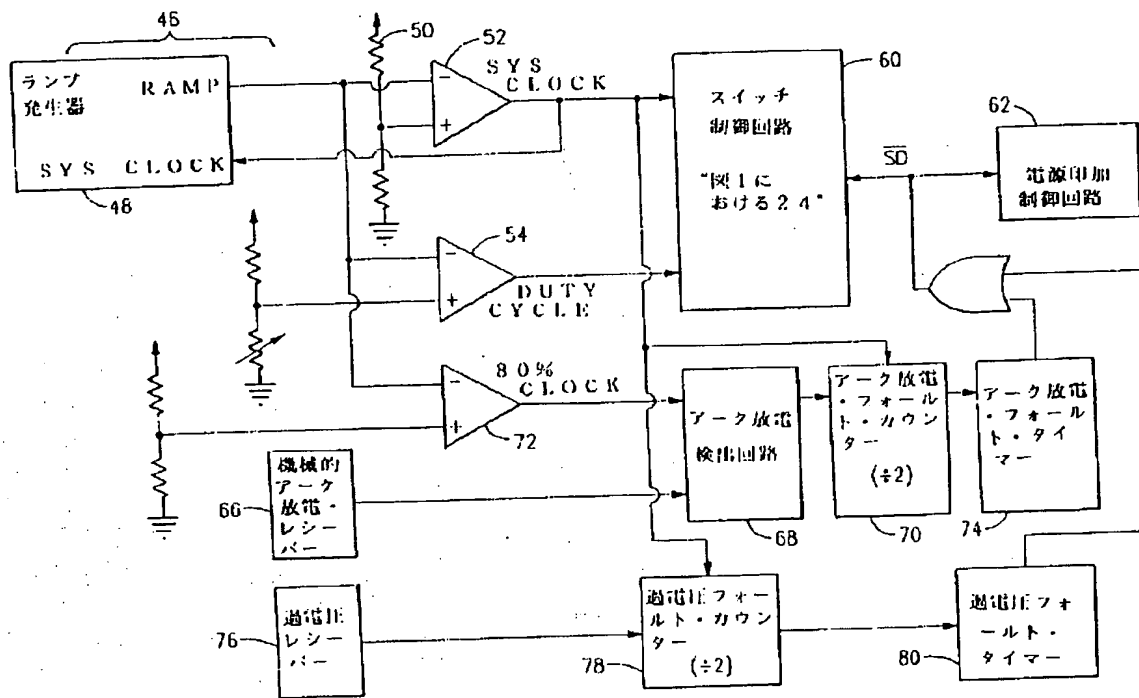
14

- \*60 スイッチ制御回路
- 62 電源印加制御回路
- 66 機械的アーク放電・レシーバー
- 68 アーク放電検出回路
- 70 アーク放電・フォールト・カウンタ回路
- 72 コンパレーター
- 74 タイマー回路
- 76 過電圧レシーバー
- 78 過電圧フォールト・カウンタ回路
- \*10 80 過電圧フォールト・タイマー回路

【図1】



【図 2】



【図 3】

